

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-148697  
 (43)Date of publication of application : 25.06.1991

(51)Int.Cl. G09G 5/12  
 G06F 3/153  
 G06F 15/78  
 // G09G 5/18

(21)Application number : 02-210539 (71)Applicant : APPLE COMPUTER INC  
 (22)Date of filing : 10.08.1990 (72)Inventor : HOWARD BRIAN D  
 BAILEY ROBERT L

(30)Priority

Priority number : 89 392111 Priority date : 10.08.1989 Priority country : US

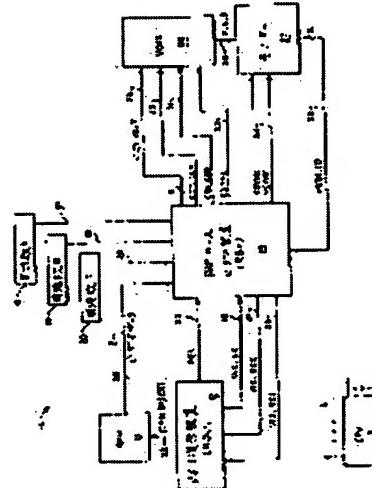
## (54) COMPUTER WITH SELF CONSTITUTION VIDEO CIRCUIT

### (57)Abstract:

**PURPOSE:** To use various monitors by providing a programmable video circuit for transferring video data from a RAM to the monitor so as to supply video timing signals to the monitor and displaying the video data on the monitor.

**CONSTITUTION:** Under the control of a CPU 13, a memory decoding unit MDU 12 receives video request signals from an RBV 14 and sends RAM control signals to the RAM 11. The RAM 11 sends the stored video data to the RBV 14. The RBV 14 receives frequencies A-C from the frequency sources 18-20 of the three different frequencies A-C and sends timing signals to the monitor 27. Also, the RBV 14 supplies the video data through a bus 29 to a video A/D converter(VADC) 26. The VDAC 26 receives dot clock signals, composite blanking period signals and composite video synchronizing signals through signal lines 30, 31 and 33 and sends the color signals of RGB to the monitor 27.

The monitor 27 displays images and sends monitor identification signals to the RBV 14.



⑩ 日本国特許庁 (JP)      ⑪ 特許出願公開  
**⑫ 公開特許公報 (A)      平3-148697**

⑬ Int.Cl. <sup>5</sup>	識別記号	府内整理番号	⑭ 公開 平成3年(1991)6月25日
G 09 G 5/12		8121-5C	
G 06 F 3/153	3 3 0 A	8323-5B	
15/78	5 1 0 D	9072-5B	
// G 09 G 5/18		8121-5C	

審査請求 未請求 請求項の数 4 (全15頁)

⑮ 発明の名称    自己構成ビデオ回路を有するコンピュータ  
 ⑯ 特願平2-210539  
 ⑰ 出願平2(1990)8月10日  
 ⑱ 优先権主張    ⑲ 1989年8月10日 ⑳ 米国(US) ㉑ 392111  
 ㉒ 発明者    ブライアン・ディ・ハーヴード    アメリカ合衆国 94025 カリフォルニア州・メンロパーク・マッケンドリイ ドライブ・328  
 ㉓ 発明者    ロバート・エル・ベイリー    アメリカ合衆国 95128 カリフォルニア州・サンホゼ・ヴィア コドルニ・1458  
 ㉔ 出願人    アブル・コンピュータ・インコーポレーテッド    アメリカ合衆国 95014 カリフォルニア州・カツバチノ・マリアニイ アヴェニュウ・20525  
 ㉕ 代理人    弁理士・山川 政樹 外3名

### 明細書

#### 1. 発明の名称

自己構成ビデオ回路を有するコンピュータ

#### 2. 特許請求の範囲

(1) モニターに表示すべきビデオデータを供給するためのプログラムを実行する中央処理装置(CPU)と；

前記ビデオデータを記憶するランダムアクセスメモリ(RAM)と；

前記モニターのビデオタイミング条件を識別する信号を受信し、これにより前記モニターの前記ビデオタイミング条件と両立するよう構成され、前記モニターにビデオタイミング信号を供給すると共に、前記モニターに前記ビデオデータを表示するために、前記RAMから前記モニターへ前記ビデオデータを転送するプログラム可能ビデオ回路とを具備するコンピュータ。

(2) モニターに表示すべきビデオデータを供給するためのプログラムを実行する中央処理装置(CPU)と；

前記ビデオデータを記憶するランダムアクセスメモリ(RAM)と；

前記モニターの種類を識別する信号を供給する前記モニターに前記ビデオデータを表示するため、前記RAMから前記モニターへ前記ビデオデータを転送する手段と；

前記信号を復号し、前記モニターの前記種類と両連する一組のモニターパラメータを選択するレジスタ手段と；

複数の周波数基準を供給する周波数源と；前記信号に応答して、前記複数の周波数基準から、前記モニターの前記種類と両立するドットクロック信号を発生するドットクロック発生器手段と；

前記モニターからの信号により、ビデオタイミング信号が前記モニターの前記種類と両立するよう構成され、前記モニターに対し前記ビデオタイミング信号を発生するビデオタイミング回路とを具備するコンピュータ。

(3) それぞれが、モニターの種類を識別する信

## 特開平3-148697 (2)

号を供給する様々な種類のモニターに表示すべきビデオ信号を発生するコンピュータにおいて、

前記信号に応答して、前記モニターの前記種類と関連する一組のモニターパラメータを選択するよう、ビデオデータを表示するために使用する前記モニターの前記種類のそれぞれと関連するモニターパラメータ情報を記憶する記憶手段と；

前記記憶手段に結合し、前記モニターの前記種類と関連するドットクロック信号を発生するドットクロック発生手段と；

前記記憶手段及びドットクロック発生手段に結合し、前記モニターの前記種類と関連するビデオタイミング信号を発生し、前記ビデオタイミング信号及び前記ビデオデータを前記モニターに結合するビデオタイミング回路とを具備するコンピュータ。

(4) モニターの種類を識別する信号を供給する前記モニターにビデオデータを表示するコンピュータにおいて、前記ビデオデータを記憶するランダムアクセスメモリと、前記モニターにビデオ

への要望も高まつてきている。そこで、コンピュータメーカーは、ビデオ表示システムの性能と適応性を向上させ、しかも顧客に対してはコストの低減をはかるるような方法を熱心に検索している。

一般に、パーソナルコンピュータの内部アーキテクチャは、システムメモリや支援論理装置を含む同じプリント回路板に、中央処理装置(CPU)も収納するよう構成されている。この回路板を一般に「マザーボード」という。従来は、ビデオ图形表示機能を留む場合には、接続バスインターフェースを介してマザーボードに結合するスロットに差込むような構成になつてゐるビデオカードを別途購入するのを余儀なくされていた。このカードは、後に表示装置(すなわち、モニター)へ出力されるビデオ表示データを記憶するために使用される2ポートビデオランダムアクセスメモリ(VRAM)を含む。ビデオカードのビデオタイミング回路は特定の1種類のモニターに合わせた構成になつてゐる。すなわち、その種類のモニターに限つてカードを使用でき、別のモニターには使用

タイミング信号を供給し、前記識別信号に応答して前記モニターの種類と両立するよう前記ビデオタイミング信号を自己構成し、前記RAMから前記モニターへ前記ビデオデータを転送して前記モニター上に表示させるビデオ回路とを具備するコンピュータ。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、デジタルコンピュータ表示装置と関連するビデオ回路の分野に関し、特に、CRTモニターに表示すべきビデオ信号を発生するマイクロプロセッサベースコンピュータシステムに関する。

## 〔従来の技術及び発明が解決しようとする問題点〕

今日、マイクロプロセッサベースのパーソナルコンピュータ(PC)は教育、科学、ビジネス、そして家庭の各方面で広く利用されている。パーソナルコンピュータの利用範囲がますます広がるにつれて、さらに高速で、融通性に富むビデオ機能

できないのである。このような従来の方法は原型のMacintosh®シリーズのコンピュータなどの機械で通常採用されていたし、今日でも広く使用されている。

しかしながら、別個のビデオカードを使用することにはいくつかの重大な欠点がある。おそらく、最も根本的な限界は、コンピュータに接続する表示装置、すなわちモニターの種類ごとに異なるビデオカードが必要であるか、又はモニターを変えると自に何らかの方法により(たとえば、様々にセレクタスイッチを操作することにより)システムを再構成しなければならないということであろう。たとえば、15インチポートレートカラーモニターに画像を発生させるために利用されるコンピュータが1種類のビデオカードを必要とするならば、9インチ白黒スクリーンに結合するものは別のビデオカードを必要とするのである。従つて、モニターが変われば、それに適合するビデオカードが必要になるので、結局は、ユーザーに与えられる融通性を低下させることになる。

## 特開平3-148697(3)

以下の説明からわかるが、本発明は、コンピュータに接続するモニターの種類ごとに、それに関連して、別個のビデオカード又はその他の形態をとる異なるビデオ回路を使用する必要をなくすものである。すなわち、コンピュータの内部ビデオ回路を再構成せずに、多様な種類のモニターを使用できるのである。

本発明は、まず、使用するモニターの種類を識別し、次に、使用するモニターの種類に対応して、複数のパラメータセットの中から1組を選択する自己構成ビデオ回路を使用することによって、これを実現する。それらのパラメータは、その後、表示回路の他の部分に供給される。従つて、本発明によれば、ビデオ回路を置換える必要なく、多種多様なモニターへの接続が可能になる。その結果、最終的には、モニターを変えるときのカードの変更や、セレクタスイッチの操作、又はコンピュータシステムの再構成は不要になるため、ユーザーにとつては、従来よりはるかに好都合なのである。

について説明する。以下の説明中、本発明を完全に理解するために、クロック周波数、レジスタのサイズ、ビット指定などの数多くの事項を特定して詳細に挙げるが、そのような特定の詳細な事項を含ますとも本発明を実施しうることは、当業者には自明であろう。また、場合によつては、本発明を無用にわかりにくくするのを避けるため、周知の回路をブロック図の形態で示すときもある。

以下、Apple Computer 製造の Macintosh II ci コンピュータに基づく好ましい実施例により本発明を説明するが、言うまでもなく、その他のコンピュータでも本発明を実施できること及び本発明の趣旨から逸脱せずに数多くの変形を実施しうることを理解すべきである。

第1図に関して説明する。第1図には、本発明の一一般的に好ましい一般化ブロック図が示されている。コンピュータシステム 10 は、多種多様な表示モニターに対しビデオ表示信号を供給する RAM ベースビデオ装置 (RBV) 14 を含む。

## 〔問題点を解決するための手段〕

多様な種類のモニターへの接続を可能にする自己構成ビデオ回路を有するコンピュータを説明する。このコンピュータは、それが結合されたモニターの種類を自動的に感知し、次に、モニターに互換性をもつビデオ信号を供給するよう内部回路を構成する。

一実施例においては、本発明のコンピュータは、モニターに表示すべきビデオデータを供給するためのプログラムを実行する中央処理装置 (CPU) を含む。データは、コンピュータ内のランダムアクセスメモリ (RAM) に記憶される。モニターはビデオ回路に識別信号を供給し、そこで、ビデオ回路は、モニターへの表示のために、適切なビデオタイミング信号とビデオデータの双方をモニターに供給する。識別信号は、モニターの条件に従つてビデオ回路を構成するために使用される。

## 〔実施例〕

多種多様なビデオ表示モニターへの接続を行うための自己構成ビデオ回路を有するコンピュータ

RBV 14 は2つの基本的な部分、すなわち、機々に異なるモニターに対し同期信号とデータを供給するビデオ部分（好ましい実施例では、RBV 回路は4種類のモニターを支援する）と、汎用インターフェースアダプタ (VIA) をエミュレートする部分とから構成される。

VIA 部分は、機々の入力及び出力の制御、ビデオ制御、RBV ナップ試験モード並びに削込み処理のために使用される複数の8ビットレジスタを含む。CPU 13 は、ビデオ部分が使用する32ビット RAM データバスとは別の8ビット両方向データバスを介して、それらのレジスタと通信する。これにより、別個の RAM データバスにおけるビデオ部分のアクティビティとは無関係に、レジスタへのアクセスが可能になる。概して、RBV の VIA 部分は本発明の理解に重要ではない。従つて、VIA 部分については、本発明を理解する上で助けるに限つて説明する。

RBV 装置 14 は、金属酸化物半導体 (MOS) 工程、特に相補形金属酸化物半導体 (CMOS) 技

## 特開平3-148697 (4)

術を使用して、集積回路(IC)として製造されるのが好ましい。

RBV14はメモリ復号装置(MDU)12及びランダムアクセスメモリ(RAM)11と関連して動作する。MDU12はメモリ制御装置として機能し、RBV14によるRAM11へのアクセスの優先順序を決定する。MDU12はCPU13と、RAM11と、ROM47と、入出力装置45(第2図を参照)との間に互換インターフェースを構成するように設計されている。一般的に好ましい実施例においては、CPU13はMotorola Corporation 製造のMC68030マイクロプロセッサである。

RAM11は少なくとも1つのダイナミックメモリ(DRAM)のバンクを有し、32ビットバス線21を介してRBV14に結合している。RAM11は、MDU12 ICより直接駆動される2つの別個のRAMバンクを有しているのが好ましい。MDU12は制御線52を介してRAM11IC結合しており、RBV14とMDU12は信号線22～

調整可能なクロック源を使用しても良い。

RBV14はビデオデータをバス28を介してビデオデジタル/アナログ変換器(VDAC)26に供給する。VDAC26はカラールックアップテーブル(CLUT)と、好ましい実施例ではBrooktree Corporation 製造のBt478ベースであるD/Aとを含む。VDAC26は、ドットクロック信号と、複合用映像出力(CBLANK)信号と、複合ビデオ同期(CSYNC)信号とをRBV14から信号線30、31及び33をそれぞれ介してさらに受信する。これらの信号は使用するモニターの種類に従つて変わり、モニタースクリーンにおけるデータのビデオタイミングを構成するために使用される。VDAC26は赤、緑及び青(RGB)のカラーナラグビデオ信号を信号線36を介してモニター27に供給する。モニター27は、RBV14から、ビデオタイミング水平同期(HSYNC)信号及び垂直同期(VSYNC)信号、もしくは複合同期(CSYNC)信号をさらに受信しても良い。モニター27はモニター識別

25を介して互いに通信する。後述するが、RAM11に記憶されているビデオデータに対する初期アクセスは5つのCPUクロックを要し、その後IC、2クロックのバーストアクセスが続く。内部構成をいえば、MDU12は、RBV14から供給されるビデオ要求信号に関するRAM11のバンクAの制御と関連する状態機械及びアドレスマップレクサを含む。

ドットクロック発生に関する周波数タイミングは3つの別個の周波数源18～20から得られる。これらの周波数源は、それぞれ、1つの特性周波数で動作する水晶発振器回路である。周波数源18～20は信号線37～39を介してRAMベースビデオ装置14にそれぞれ結合している。複数の周波数基準入力を使用するのは、本発明のコンピュータを様々に異なる種類のモニターに適合させる方法の1つである。3つの周波数源が示されているが、4つ以上利用しても、本発明の趣旨から外れることはない。あるいは、別個の周波数源18～20の代わりに、单一のプログラム可能な又は

(ID)信号を信号線35を介してRBV14に供給する。

先に述べた通り、一般的に好ましい実施例は4種類の表示モニターを支援する。それらのモニターのうち1台はRBV14により直接駆動され、残る3台はVDAC26を介して駆動される。それぞれのモニターの種類は、あるいくつかの決まったピンをRBVで接地することにより識別される。これにより、適切な画面クロックと同期タイミングのパラメータが自動的に設定される。一般的に本発明の好ましい実施例が支援する4種類のモニターは、9インチMacintosh SE(Mac SE)と、Apple 11-GSモニターを変形したものと、Macintosh 1112インチ白/黒及び13インチカラーモニターと、15インチポートレートモニター(白/黒又はカラー)である。

第1表は、信号線35の3ビットモニターIDピンにより選択されるモニターの概要を示す。尚、組込みの9インチ8Eモニターの駆動については、RBVチップに別のピンを設けている(第1図に

特開平3-148697(5)

は図示せず)。

第 1 表

RBV14 上の SE ピン	モニター ID3	モニター ID2	モニター ID1	選択されるモニター
Mac SE	-GND	0	0	モニター支援なし(組込みの9インチSEモニターを駆動)
	-GND	0	0	15インチポートレートモニター(白/黒)
	GND	0	1	変形Apple 11-08 モニター
	GND	0	1	モニター支援なし(組込みの9インチSEモニターを駆動)
	GND	1	0	モニター支援なし(組込みの9インチSEモニターを駆動)
	GND	1	0	15インチポートレートモニター(カラー)
他の 全ての CPU	GND	1	1	Mac 11 12インチ白/黒及び13インチカラー
	GND	1	1	外部モニターなし(組込みの9インチSEモニターを駆動)
	+5V	0	0	モニター支援なし(ビデオ停止)
	+5V	0	0	15インチポートレートモニター(白/黒)
	+5V	0	1	変形Apple 11-GS モニター
	+5V	0	1	モニター支援なし(ビデオ停止)
	+5V	1	0	モニター支援なし(ビデオ停止)

RBV14は、機能の上では、集積回路としてマザーボードに組込まれているにもかかわらず、別個のビデオカードと同等地動作する。この機能性を得るために、バスパッファ44により、システムRAMのバンクAをCPUデータバス50から選択的に遮断しても良い。これにより、RBV14によるバンクAのRAMバス21を介するバンクAへの単独アクセスを実行することが可能になる。RBVは、各水平走査線のタイプビデオ部分の間に不断のビデオデータの流れを表示モニター27へ送るために、システムRAMのバンク43に記憶されているデータを使用する。RBV14は、必要なデータを求めて、必要とされた時点でMDU12に尋ねる。そこで、MDU12は、データバス21をCPUデータバス50から遮断し、バンクAのRAM43からRBV14の内部に位置するFIFO54への8段階ページモードバースト読み取りを実行することにより、それに応答する。バンク43及び42はMDU12によりRAM制御バス52を介して制御される。

+5V	1	0	1	15インチポートレートモニター(カラー)
+5V	1	1	0	Mac 11 12インチ白/黒及び13インチカラー
+5V	1	1	1	外部モニターなし(ビデオ停止)

次に第2図に関する説明する。第2図は、RBV14の詳細なブロック概図をコンピュータマザーボード40への接続と共に示す。図示するように、CPU13はROM47、入出力装置45、NUBUS46及びVDAC26などの様々な装置にCPUデータバス50と、CPUアドレスバス65とを介して結合している。システムメモリはRAMの2つのバンク、すなわちバンクA(43)及びバンクB(42)により表わされている。バンクBのRAM(42)はCPUデータバス50に直接接続し、それに対し、バスパッファ44はCPUデータバス50をバンクAのRAMのデータバス21から分離することができる。一般的に好ましい実例では、バスパッファ44は市販の74F245バスパッファである。

ビデオバーストが進行中である場合、バンクA43に対するCPUアクセスは遅延して、CPU13を効率的に減速させる。この効果はモニターのサイズと、画面ごとのビット数とに応じて変化する。尚、RAMバンクAに対するアクセスのみがビデオにより実行される。RAMバンクBはCPUデータバス50に直接接続しているので、CPU13は常にこのバンクを完全にアクセスでき、これはROM47及び入出力装置45についても同じである。バンクB42なしで本発明を実施しても差支えないこと、あるいは、バスパッファ44の両側にさらにRAMバンクを追加した形で本発明を実行しても良いことは明白であろう。本発明はバンクB42なしでも正しく動作するであろうが、バンクB42を追加すると、メモリの一部がCPU13専用となるので、コンピュータシステム全体の効率と性能は向上する。

RBV14のビデオ部分は、16×32ビット先入れ先出し(FIFO)メモリ装置54を有する。このメモリ装置は、FIFOをRAMデータで充

## 特開平3-148697 (6)

壊された状態に保持するための論理と、そのデータを配列し且つシフトアウトするための論理とをさらに含む。RBV14は、データバス21IC現われるビデオデータをロードポインタ線55を介してFIFO54にストローブするために使用されるラッチ53をさらに含む。ビデオデータは、ビット順序配列装置57に結合する信号線56を介して、FIFO54からアンロードされる。配列装置57は信号線58を介してシフトレジスタ59に結合している。シフトレジスタ59は、ビット順序配列装置57により配列されたビデオデータを、ビデオデータバス29へシフトアウトする。シフトレジスタ59をデータバス29に接続するタップセレクタ60については以下に説明する。

ビデオFIFO54は、それぞれが8つの32ビット長語を含む2つの半体に分割されている。一方のFIFO半体の最後のデータが使用され終わると（すなわち、13インチモニターの場合画面ごとに8ビットずつ、15インチモニターの場合には画面ごとに4ビットずつで先に3つの長語が

24を上げる。7番目のVID.LDバルスの立下り端の前にVID.REQがハイになれば、MDU12は、もう1つの長語（第8の長語）を読み取つて、それをRBVにストローブした後にバーストを終了させる。これで、先に空であつたFIFOの半体は充填される。

そうしている間に、FIFOの他方の半体で、もう半分の8つのデータ長語（先のバースト読み取りの間にロードされたデータ）をバス58を介してシフトレジスタ59に16ビットずつロードしても良い。FIFO54の第2の半体から8つの長語がアンロードされた（すなわち、第2の半体が空になつた）後、FIFOの第1の半体からの次の8つの長語（第1の半体は先にビデオデータをロードされている）がシフトレジスタ59にロードされる。この時間中に、FIFO54の第2の半体（最前のロードシーケンスの間に空になつている）は、RAMバンクAから更新読みのビデオデータを受信する。第2の半体は先に説明した通りに充填され、このプロセスの全てが再び繰返され

使用されたとき）、BBV14はそのデータ要求出力線24（VID.REQ）を下げる。このビデオ要求線は、MDU12IC、バスパシファ44を動作させることによりバンクAのRAMデータバス21をCPUデータバス50から切断することを命令する。また、できる限り早い時点で、データバス21へのRAMデータのページモードバースト読み出しを開始させる。次に、MDU12は、RBVのビデオデータロード入力線23（VID.LD）を使用して、有効なRAMデータをRBV14へストローブする。ビデオデータロード入力線23はラッチ53を制御する。

VID.LDバルスの立下り端ごとに、RAMデータの1つの32ビット長語をラッチ53にラッчиし、ラッчиされたデータをFIFO54に記憶し、次に、入力ポインタをFIFOの次の位置へ進ませる。データは、制御ラッチ53から出ている信号線55を介して、ビデオFIFO54に入力される。6番目のVID.LDバルスの立下り端の後に、RBVはそのビデオデータ要求線（VID.REQ）

る。すなわち、FIFO54の2つの半体は交互にRAMバンクA43からデータを受信し、シフトレジスタ59にデータをロードするのである。

シフトレジスタ59は、タップセレクタ60に結合する8つの出力タップを有する。データは、信号線30に現われるドットクロック信号により、一度に1ビットずつシフトレジスタ59を経て進められる。8つの出力タップはシフトレジスタに沿つて、1つおきのビットに対応するよう（すなわち、2つのビットに対し1つずつ）位置している。それらのタップのうち1つ、2つ、4つ又は8つ全てを使用することにより、ビデオデータ出力バスには、一度に1ビットずつ（1ビットビデオ）、又は一度に2ビットずつ（2ビットビデオ）、又は一度に4ビットずつ（4ビットビデオ）、あるいは一度に8ビットずつ（8ビットビデオ）、データを出現させることができる。

言うまでもなく、出力タップに正しい順序でデータを出現させるためには、選択した画面ごとのビット数に応じて、16個のビットを正しい順序

## 特開平3-148697(7)

でシフトレジスタ 59 にロードしておかなければならぬ。これはビット順序配列装置 57 の役割である。この装置は FIFO 54 から信号線 56 に沿つて語を受信すると共に、信号線 88 に現われている画素とのビット情報を受信する。1 ビット/画素ビデオの場合は、最後の出力タップのみを使用し、シフトレジスタの全ての 16 ビットは、16 個の連続するドットクロックの後にそのタップに現われている。

これに対し、8 ビットビデオの場合には、8 つのタップを余さず使用し、16 のビットは、2 つのドットクロックの後に、既に、ビデオデータバス 29 の 8 本の出力線へ送り出されている。いずれにせよ、16 のビット全てがビデオデータバスへ送り出されたときに、次の 16 ビットが FIFO 54 からシフトレジスタ 59 にロードされ、FIFO の出力ポインタは進む。この結果、最終的に、FIFO のその半体は空になる。その後、空になつた FIFO 54 の半体を、RAM データの別の 8 長語バーストによつて先に説明したように充填

ている。

4 ビットビデオの場合には、ビットの配列はさらに入り組んでいる。図示する通り、ビットは、12, 8, 4 及び 0 のビットがタップ 0 からその順序でシフトされ、14, 10, 6 及び 2 のビットはタップ 2 からその順序でシフトされ、13, 9, 5 及び 1 のビットはタップ 1 からその順序でシフトされ、また、15, 11, 7 及び 3 のビットはタップ 3 からその順序でシフトされるように配列されている。

8 ビットビデオの場合には、8 つのタップ全てを次のように使用する。すなわち、タップ 0 はビット 8 とビット 0 をその順序でシフトし、タップ 1 はビット 9 とビット 1 をその順序でシフトし、タップ 2 はビット 10 とビット 2 をその順序でシフトし、タップ 3 はビット 11 とビット 3 をその順序でシフトし、タップ 4 はビット 12 とビット 4 をその順序でシフトし、タップ 5 はビット 13 とビット 5 をその順序でシフトし、タップ 6 はビット 14 とビット 6 をその順序でシフトし、タップ

しなければならない。

次に、第 5 図 a から第 5 図 d に關して説明する。1 ビット/画素、2 ビット/画素、4 ビット/画素及び 8 ビット/画素のそれぞれの場合について、シフトレジスタ 59 の内部におけるビットの配列順序が示されている。図から明らかであるように、1 ビット/画素ビデオの場合、ビットの配列は 0 から始まり、タップ 0 に位置しているビット 15 まで、順次続いてゆく。このように、1 ビットビデオでは、データは出力データバス 29 の 8 本の出力線の中の 1 つで順次ロード又は前進されることになる。バス 29 の残る 7 本の出力線はハイ状態とされている。

2 ビットビデオの場合には、奇数番号のビットは、タップ 1 で終わるシフトレジスタの左半分に位置し（すなわち、1～15 の奇数ビット）、偶数番号のビット（すなわち、0～14 の偶数ビット）は、タップ 0 で終わるシフトレジスタの右半分にロードされる。この場合にも、未使用的タップに接続した出力データバス線はハイ状態になつ

づ。タップ 0 はビット 15 とビット 7 をその順序でシフトする。8 ビットビデオでは、2 つのドットクロック周期の後に、16 のビット全てがシフトアウトされ終わつてゐる。

第 5 図 a から第 5 図 d に示すタップは、最上位ビットが VID.OUT 7 IC 対応し且つ最下位ビットは VID.OUT 0 IC 対応するように、タップセレクタ 80 を介してビデオデータ出力バス 28 (たとえば、VID.OUT) にそれぞれ結合している。1 例を挙げると、8 ビットビデオの場合、各長語は、ビット 30 が VID.OUT 6 IC 現われ、ビット 29 が VID.OUT 5、ビット 28 は VID.OUT 4、ビット 27 は VID.OUT 3、ビット 26 は VID.OUT 2、ビット 25 は VID.OUT 1、そしてビット 24 は VID.OUT 0 IC それぞれ現われるのと同時に、ビット 31 が VID.OUT 7 に現われるようシフトされるのである。1 ビットビデオは出力ビン VID.OUT 0 IC 現われ、VID.OUT 1 から VID.OUT 7 はハイ状態に保持される（1 として現われる）。RAM からの長

## 特開平3-148697(8)

語は、それぞれ、セニタービームが左から右へ進むにつれて、ビット31から始まり、途切れずにビット0までVID.OUT0へシフトアウトされる。

第2図に示すように、タップセレクタ60は、ビデオデータバス29へ出力されるべき画面ごとのビット数情報を受信するために、信号線89に結合している。ビデオフレームごとに一度一垂直同期パルスの終端でー、RBV14はそのビデオリセット(VID.RESET)出力線25を下げる。MDUのビデオアドレスカウンタをリセットする。次に、ライプビデオの第1の走査線の直前に、RBVは、ビデオFIFO54が完全に充填した状態で始動するよう、2つの8長語要求を実行する。その後、先に説明した通りにプロセスは進行し、語がシフトアウトされると同時に、新たなビデオデータ語がシフトインされるのである。

RBV14は、RAM43からの8つの長語から成る入力データを受入れることができるのであるときに、VID.REQ信号線24を下げる。

LDストロープの終了後の任意の時点で現われる)を持つ。

RBV装置14はスクリーンマッピング又はビデオアドレスに関する情報を有しておらず、単に、要求時にメモリ制御装置がRBVに正しいデータを、多くの場合に8長語のグループとして提供すると想定するのみである。各垂直同期パルスの終了時に、RBV14は、2つの水平同期信号の間の時間だけ、VID.RESET線25を下げる。メモリ制御装置12はこの信号を使用して、ビデオアドレスカウンタをフレームバッファのスタートまでリセットして戻す。

同様に、メモリ制御装置12はビデオ回路又はそのパラメータに関する情報を有していない。VID.REQ信号線がローになるのを感じると、メモリ制御装置は、現在のパンクRAMサイクルが終了するまで待機し、サイクル終了後は、RAMバスバッファに3状態をとるよう報知することにより、データバス21をCPUデータバス50から遮断する。次に、RAMのページモードバー

その時点から、RBVはメモリ制御装置12がデータをストローピングするのを待つ。メモリ制御装置12は、VID.LD信号線23を使用してデータをストローピングする。RBVはビデオデータが到着するのを無限に待っている(ただし、十分に長い時間待つならば、最終的には、FIFOの旧データを再びシフトアウトし始める)。RBVはストローピングされた任意の数の長語を受入れるのであるが、余りに多くの長語がストローピングされる場合には、そのデータはまだシフトアウトされていないデータを最終的にはオーバライドし始める。

6度目のVID.LDストロープの後、RBV14はVID.REQ信号線24を上げる。これは、次の8つの長語に対する要求が既に始まっている場合でも起こる。7度目のVID.LDストロープの終了前にVID.REQ信号線24が上がってしまつていれば、MDU12はさらにもう1つの長語(第8の長語)をRBV装置へストロークし、その後、次のVID.REQ信号(7度目のVID.

ストロープを取りを開始する。

尚、MDU12とRBV14との相互作用のために必要とされる信号線は3本(VID,REQ,VID.LD及びVID.RESET)のみであるということに注意すべきである。RBV14は、メモリ又はMDUに関する情報を記憶しない。同じように、MDU12はビデオに関する情報を得る必要はない。それぞれの装置は、単に、上述の3線ハードシエーリング方式に従つて相手の装置と通信するだけである。この特徴によつて、システムの構成が大幅に簡単になると共に、MDUとRBVの双方の装置の内部構造も単純になる。さらに、システムの融通性も向上する。ハンドシエーリング方式を維持している限り、MDUに影響を与えずに、RBVの代わりに別のビデオ装置又はDMA-from-RAM装置を使用できるであろうし、あるいは、RBVに影響を与えずに、メモリアドレスと構成を変更することも可能であろう。

MDU12は、CPUクロック周期1つ分だけそのVID.LD信号線を下げることにより、ベース

## 特開平3-148697(9)

ト読み取りの各長語を送信する。MDU はページモードバーストを無限に継続する一ただし、VID・REQ 信号線 24 がハイ状態に戻つたのがわかつた後に、唯一回、読み取りを停止する。ビデオバースト読み取りのために MDU 12 が供給するアドレスは、アドレス 8 0000 0000 から始まり、それぞれの VID・LD における 1 つの長語ごとに増分する。これは、VID・RES 信号線 25 がローになつたことを MDU 12 が感知するまで、(メモリ制御装置内部の 24 ビットカウンタを使用して) 続く。VID・RES (ビデオリセット) がローになると、MDU 12 内部のカウンタは 8 0000 0000 にリセットされる。

次に第 4 図に関して説明する。第 4 図は、RBV 装置と MDU の RAM 制御との相互作用を示すタイミング図である。VID・REQ 信号線の信号の遷移 101 は、RAM43 から FIFO54 へのビデオデータ転送のプロセスを開始させる。尚、RAM43 が CPU13 と共に現在 RAM サイクルにかかわっている場合には、MDU 12 は、バスパン

終了する。既に、オフに保持されていた CPU RAM サイクルの読みが時点 108 から始まる。ただし、VID・LD の次の正に向かう遷移のときに VID・REQ がハイになつたことを MDU 12 が検出した直後に、新たなビデオ要求を開始することができる。このことは、第 4 図に、ローへ向かう遷移を表わす点線 109 によつて示されている。

前述のように、ビデオシフトレジスタは 16 ビットの長さであり、2 ビットごとにタップが設けられている。8 ビットビデオの場合、全てのタップを使用し、2 つの画素クロックの後に、1 つのタップに 16 個のデータビットのそれぞれが現われる。新たなデータがロードされなければ、最後のタップから 1 がシフトされる前にさらに 14 の画素クロックを必要とする。(シフトアウトされる旧データビットと置換るために、1 がシフトインされる。)

水平帰線消去が始まると、ビデオシフトレジスタはシフト動作を完了するので、使用中のタップの 1 つに、16 個のデータビット全てが 16 個の

フア 44 IC 3 状態をとらせるための報知に先立つて、RAM サイクルが終了するまで待機する。

図示するように、新たな CPU RAM RAM サイクルは時点 102 で始まつているが、VID・REQ 信号線 24 はローに遷移しているので、CPU サイクルは 8 長語ビデオバーストにより 20 クロックの長さだけオフに保持される。ビデオ読み取りサイクルの開始は時点 103 で起こる。VID・REQ 信号線の信号がローに遷移してから少なくとも 5 クロックの後、RAM ベンチ A に記憶されているデータは FIFO54 へストロークされ始める。ビデオデータの第 1 の長語は VID・LD の信号の正に向かう遷移 104 のところでロードされる。

105 の時点で VID・REQ の信号がハイに遷移すると、MDU は、VID・LD の次の正に向かう遷移の時点で、もう 1 語分のビデオデータを供給するよう警告される。図示する通り、ビデオデータの最後の語は 106 で示す遷移のときにロードされる。

ビデオバースト読み取りサイクルは時点 107 で

1 ビット画素、又は 8 個の 2 ビット画素、又は 4 個の 4 ビット画素、又は 2 個の 8 ビット画素の形態をとつて現われる。水平帰線消去はシフトレジスタへの新たなデータのロードを阻止するのである。しかしながら、ドントクロックによりクロックされているために、常にシフト動作しているシフトレジスタは、完全に 1 で充填されるまで、旧データをシフトアウトし続ける。RBV14 は、8 ビットモードのときは 14 画素クロック、4 ビットモードのときには 12 画素クロック、2 ビットモードのときには 8 画素クロック、そして、1 ビットモードのときには 0 画素クロックのそれぞれの長さだけ、旧データを送り出し続ける。その時点から、シフトレジスタは、再び新たなデータをロードされるまで、全ての 1 をシフトする。Macintosh SE は 1 ビットビデオのみを使用するので、帰線消去開始後、シフトアウトすべき旧データは存在しない。その他のコンピュータにおいては、信号線 81 (第 2 図を参照) に供給されて、VDAC26' に入力される複合帰線消去信号 (CB

## 特開平3-148697(10)

LANK) がスクリーンに旧データが現われるのを阻止する。

垂直帰線消去は、水平帰線消去開始後、 FIFO 54 IC バンク A 43 からのさらにもう 1 回分の 8 長詰バーストのデータがロードされた後に起こる。それら 8 つの長詰はソフトレジスタ 59 にはロードされず、ソフトレジスタは（まだ残っていた旧データを全てシフトアウトした後）垂直帰線消去中を通して 1 をシフトし続ける。垂直帰線消去シーケンスに入るよりかなり前に、全てのポイントはリセットされ且つ VID, RES はローにされているので、MDU のビデオアドレスカウンタをリセットする。次に、垂直帰線消去の終了よりおよそ走査線 2 本分だけ前に、FIFO 54 IC には新たなデータの 16 の長詰がロードされ、それらの長詰は、ライブビデオの開始に備えて先にロードされていたデータと置換される。

ビデオ同時使号 (HSYNC, VSYNC, CSYNC 及び CBLANK を含む) を発生するのは、ビデオカウンタ装置 69 である。ビデオカウンタ装置 69

タルコードを介し、モニターの種類の識別 (ID) を与える。本発明においては、モニター 27 の ID ビンは 3 ビット信号線 35 を介してモニターパラメータ用レジスタ 71 に結合している。モニターの種類は信号線 87 を介してビデオカウンタ装置 69 と、MUX 68 とへ送られる。モニターパラメータ用レジスタ 71 は、画素ごとのビット数情報を信号線 89 を介してビデオカウンタ装置 69 と、ビット順序配列装置 57 とに供給する。

ソフトウェアによりモニターパラメータ用レジスタ 71 のモニターの種類を読み取ることができると共に、画素ごとのビット数を同じレジスタから読み取るか又は同じレジスタに書き込むことができる。3 ビットのモニター ID 種類の復号の結果、4 つの固定したパラメータセット 一 支援するモニターごとに 1 セットずつ - の中から 1 つが選択される。それらのパラメータはチップにおいて「ハードウェイド」されて、 HSYNC, VSYNC などの信号を発生させる。プログラム可能な唯一のパラメータは画素ごとのビット数である。

は、当該技術ではビデオタイミング信号を発生するのに使用するためのものとして良く知られている種類の一連のプログラム可能多項式カウンタから構成される。ビデオカウンタ装置 69 のビデオカウンタは、モニターの種類と、画素ごとのビット数条件とを考えられれば、ビデオカウンタ装置 69 は迅速する表示装置、すなわちモニターに対して正しいタイミング信号を供給することができるという意味で、自己構成形である。

次に、第 3 図に関して説明する。第 3 図は、標準の水平タイミング波形と垂直タイミング波形を表わし、水平帰線消去と、ライブビデオと、水平同期信号と、垂直帰線消去と、垂直ライブビデオの走査線と、垂直同期信号との関係とを示している。当業者にはわかっている通り、水平タイミング及び垂直タイミングと関連するパラメータは、使用する表示装置、すなわちモニターの種類によって異なる。

このビデオシステムが支援しているモニターは、一組の外部信号線、すなわちビンに現われるデジ

別の実施例では、モニターパラメータ用レジスタ 71 又はそれと同等の装置を完全にプログラム可能としても良い。そのようにすることにより、多数の表示パラメータを設定する能力がシステムに与えられると考えられる。ただし、唯 1 つ、レジスタ 71 の内部記憶容量の大きさだけが限定される。その場合には、モニター ID ビットをソフトウェアにより復号し、次にレジスタ 71 に書き込むことによつて、関連する表示装置に正しいパラメータの全てを提供することになるであろう。

次の表は、本発明の一般的に好ましい実施例が支援する 4 種類のモニターについて、RBV により供給される関連タイミングパラメータ（第 3 図に示したもの）をまとめている。

## 説 明

	変形 Mac SE	APPIo. 11-GS カード	124インチ白黒 RGBカラーボード Mac 11	13インチカラーボード Mac 11	1.5インチ ポートレート
HBLANK	192ビット	128ビット	224ビット	192ビット	
ライズピデオ (水平)	512	512	640	640	
フルライン	704	640	864	832	
フロントボーナ (水平)	14.	16	64	32	
HSYNC	288	32	64	80	
バックボーナ (水平)		80	96	80	
VBLANK	288	23本	45本	48本	
ライズピデオ (垂直)	342	384	480	870	
フルフレーム	370	407	525	918	
フロントボーナ (垂直)	0	1	3	3	
VSYNC	4	3	3	3	
バックボーナ (垂直)	24	19	39	42	
ドットクロック	156672MHz	156672MHz	3024MHz	572832MHz	
ドット	63836S	63836S	3307ns	17457ns	
ライン速度	2225KHz	2448KHz	350KHz	6885KHz	
フレーム速度	6015Hz	6015Hz	6667Hz	75Hz	

とに供給される。ビデオカウンタ装置 6 9 は、当該技術では良く知られている種類の複数の多項式カウンタを含んでいる。復号されたモニターの種類に応じて、RBV はそれらのカウンタを、関連するモニターについて第 2 章に従つたビデオタイミング信号を発生させるようにセットする。

モニターの種類に関する情報は信号線 8 7 を介してマルチブレクサ 8 8 にも供給される。コンピュータシステムに接続しているモニターの種類に応じて、マルチブレクサ 8 8 は、発振器 18, 19 により供給されるドットクロックと、発振器 20 からのクロックを二分したクロックの 3 つ（それぞれ、3.02400MHz, 57.2832MHz 及び 15.6672MHz IC 対応する）の中から 1 つを選択する。発振器 20 からの分割クロックは信号線 4 1 を介してマルチブレクサ 8 8 に供給される。

たとえば、モニター識別コードはモニター 2 7 が変形 APPIo. 11-GS RGB 表示装置であることを示している場合には、MUX 8 8 は、信号線 30 を介して VDAC 2 6 と、シフトレジスタ 5 9 と、

## 特開平3-148697(11)

第 6 図を参照すると、様々な同期信号の相対タイミングが VID・RES リセット信号と共に示されている。第 6 図からわかるように、VSYNC の最後の 2 つの水平同期パルス周期の間で、ビデオカウンタ装置 6 9 は VID・RES 信号線 2 5 を下げる、メモリ制御装置 1 2 のアドレスカウンタをリセットする。これは、第 6 図の遷移 110 の箇所で起こる。VID・RES は、VSYNC 信号がローからハイへ遷移すると同時にハイに炭る。その後、ライブビデオの第 1 の走査線の直前に、RBV 14 は 2 つの 8 段階要求を実行するので、FIFO が充満した状態でフレームを開始することができる。

先に述べたように、モニター 2 7 はバス線 3 5 を介して 3 ビットの識別コードをモニターパラメータ用レジスタ 7 1 に供給する。そこで、RBV 14 は、ビデオカウンタ装置 6 9 に対して、適切なビデオタイミングと同期パラメータを設定する。画面ごとのビット情報も信号線 8 9 を介してビット順序配列装置 5 7 と、ビデオカウンタ装置 6 9

ビデオカウンタ装置 6 9 に供給すべきドットクロックとして、信号線 4 1 の対応するクロック信号（すなわち、15.6672MHz）を選択する。（クロック発生器 6 6 は、発振器 2 0 から信号線 39 に発生される基準周波数を二分して、正しいドットクロック周波数を信号線 4 1 に発生するために使用される。クロック発生器 6 6 は、入出力装置 4 5 に対する入出力（I/O）クロックも発生する。）

それに対し、モニター識別コードは表示装置が 12 インチ白黒又は 13 インチ RGB の Mac 11 であることを示す場合には、MUX 8 8 は発振器 1 8 から信号線 3 7 に発生されている基準周波数（すなわち、3.02400MHz）を選択する。15 インチポートレートモニターを使用しているのであれば、MUX 8 8 は信号線 3 8 に現われている発振器 1 9 からの基準周波数（すなわち、57.2832MHz）を選択することになるであろう。

第 3 章は、種々のモニターについて駆動又は停止されるビデオ信号をまとめたものである。

特開平3-148697(12)

第 3 表

モニター識別コード	選択されるモニター	駆動される信号	停止される信号
0 000	9インチSE	VID.OUT(0-7) CBLANK SE.HSYNC VSYNC	HSYNC=1 CSYNC=1
0 100			
0 011			
0 111			
0 001	15インチポート	VID.OUT(0-7)	SE.HSYNC=1 CSYNC=1
1 001	レート(白/黒) (カラー)	CBLANK HSYNC VSYNC	
0 101			
1 101			
0 010	変形II-GS	VID.OUT(0-7) CBLANK CSYNC	SE.HSYNC=1 HSYNC=1 VSYNC=1
1 010			
0 110	12インチ白/黒、 13インチカラー	VID.OUT(0-7) CBLANK CSYNC	SE.HSYNC=1 HSYNC=1 VSYNC=1
1 110			
1 000	ビデオ停止	なし	VID.OUT(0-7)=1 CBLANK=0 CSYNC=1 SE.HSYNC=1 HSYNC=1 VSYNC=1
1 100			
1 011			
1 111			

第1図は、本発明を具現化したコンピュータシステムの一観化ブロック線図。

第2図は、本発明の一般に好ましい実施例の詳細なブロック線図。

第3図は、様々なビデオタイミング信号及び関連するビデオタイミングパラメータを示す図。

第4図は、システムRAMからビデオ回路のビデオFIFOへビデオデータが転送される1メモリサイクルの間のビデオタイミング波形を示す図。

第5図aは、1ビット/画素ビデオの場合に、使用するタップと、シフトレジスタのビデオデータのビット配列順序とを示す図。

第5図bは、2ビット/画素ビデオの場合に、使用するタップと、シフトレジスタのビデオデータのビット配列順序とを示す図。

第5図cは、4ビット/画素ビデオの場合に、使用するタップと、シフトレジスタのビデオデータのビット配列順序とを示す図。

第5図dは、8ビット/画素ビデオの場合に、使用するタップと、シフトレジスタのビデオデータのビット配列順序とを示す図。

尚、周波数源の数を増し及び／又は関連するレジスタ及び信号線のサイズを拡張するという簡単な方法で、さらに多くの数のモニターに対応できるという点を了解すべきである。

従つて、実例の実施例に関連して本発明を説明してきたが、以上の説明を限定的な意味で解釈してはならない。この説明を参照すれば、当業者には、図示実施例の様々を変形並びに本発明のその他の実施例が明白となるであろう。たとえば、それぞれのパラメータセットをハードウェアリングする代わりに、複数のプログラマブルレジスタを使用しても良く、その場合、それぞれのモニターの種類と関連する各パラメータをソフトウェアによりセットすることができる。従つて、特許請求の範囲は本発明の趣旨に包含されるそのような変形又は変更を全て含むものと考えられる。

以上、多様な種類の表示モニターに適合できる自己構成ビデオ回路を有するコンピュータを開示した。

#### 4. 図面の簡単な説明

タのビット配列順序を示す図。

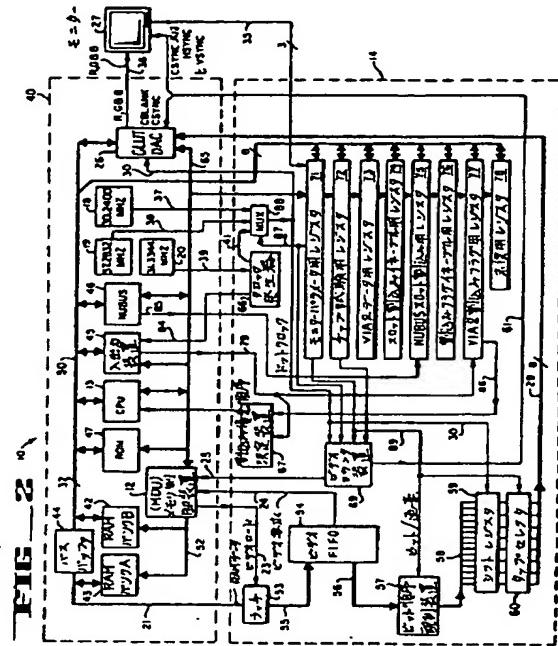
第6図は、ビデオタイミング信号と、1つのライプビデオフレームを開始させるビデオリセット信号とのタイミング関係を示す図である。

10 . . . . コンピュータシステム、11 . . . . ランダムアクセスメモリ(RAM)、12 . . . . メモリ復号装置(MDU)、13 . . . . 中央処理装置(CPU)、14 . . . . RAMベースビデオ装置(RBV)、18, 19, 20 . . . . 発振器、26 . . . . ビデオデジタル/アナログ変換器(VDAC)、27 . . . . モニター、40 . . . . コンピュータマザーボード、42 . . . . RAMバンクB、43 . . . . RAMバンクA、44 . . . . バスバンクA、45 . . . . 入出力装置、47 . . . . ROM、53 . . . . タップ、54 . . . . ビデオFIFO、57 . . . . ビット順序配列装置、59 . . . . シフトレジスタ、60 . . . . タップセレクタ、68 . . . . クロック発生器、69 . . . . ビデオカウンタ装置、71 . . . . モニターパラメータ用レジスタ、

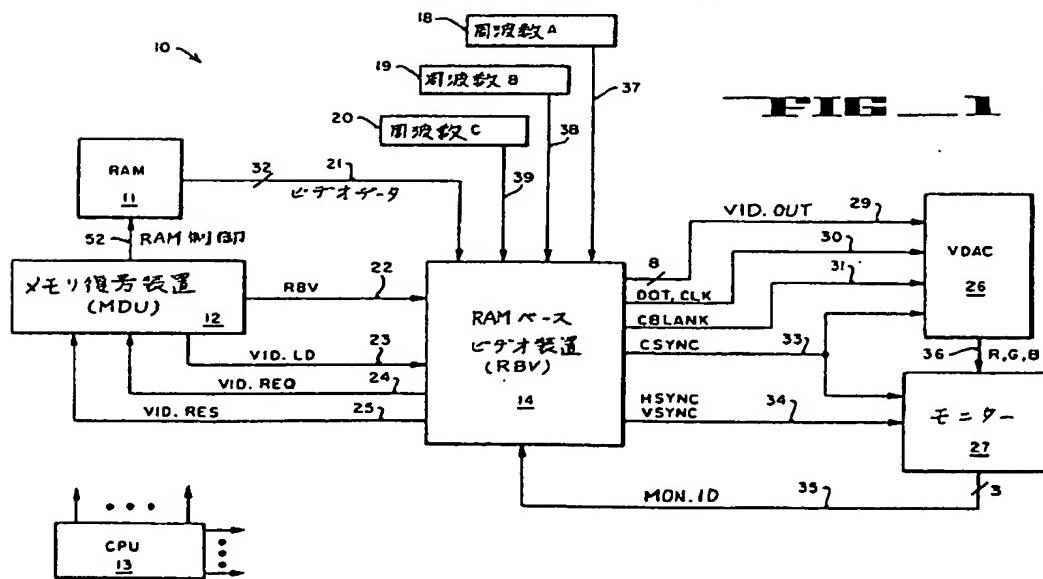
持而平3-148697(13)

88...マルチブレクサ。

特許出願人 アブル・コンピュータ・  
インコーポレーテッド  
代理人 山川政樹



図面の添書(内容に変更なし)



特開平3-148697(14)

FIG-3

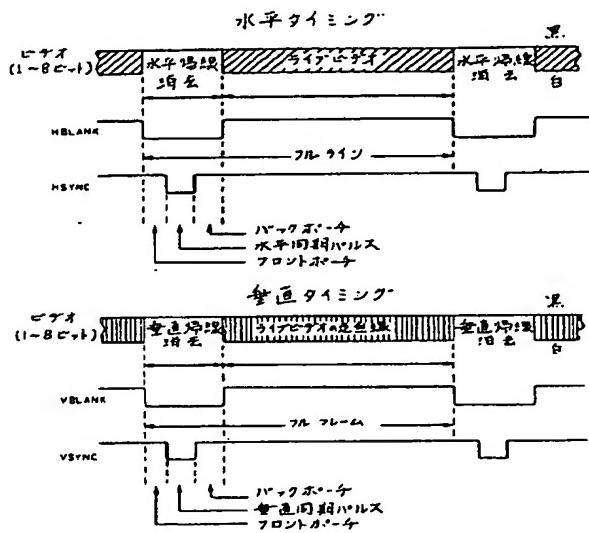


FIG-4

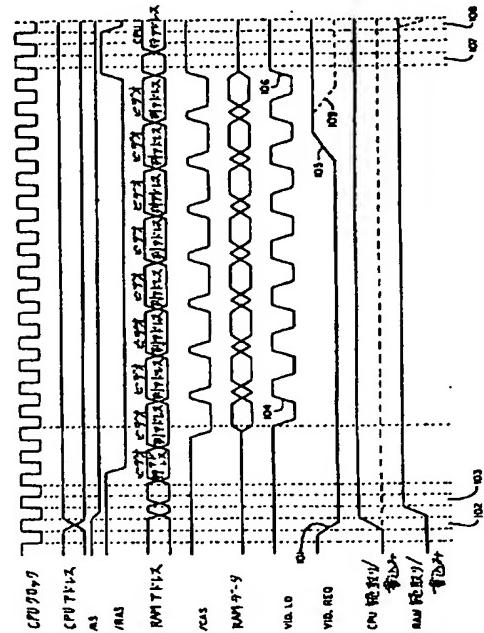


FIG-5A

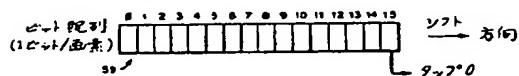


FIG-5B

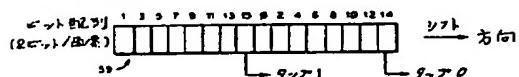


FIG-5C

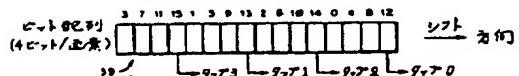


FIG-5D

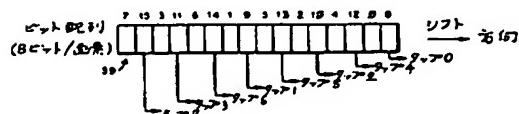
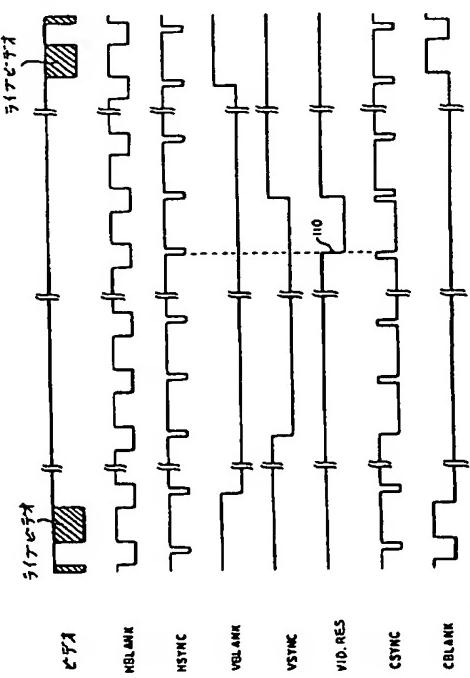


FIG-6



特開平3-148697(15)

手 紙 特 権 正 確 ( フ テ シ チ )  
平成 年 月 日  
2.11.28

## 特許庁長官殿

## 1. 事件の表示

平成2年 特許第 210539号

## 2. 発明の名称

自己構成ビデオ回路を有するコンピュータ

## 3. 補正をする者

事件との関係 特許出願人

名称(氏名) アブル・コンピュータ・インコーポ  
レーテッド

## 4. 代理人

住所 東京都千代田区永田町2丁目4番2号

秀和證券ビル8階

山川國際特許事務所内

氏名(6462) 代理士 山川政樹

## 5. 補正命令の日付 平成2年10月30日

## 6. 補正の対象

(1) 請書の出願人の間

(3) 図面 方式

四  
番五

(2) 委任状

## 7. 補正の対象

(1) 別紙請書の通り

2.11.28

(2) 別紙の通り

(3) 図面の許容(内容に変更なし)

以上